Q1. **एक पल्स जनरेटर का निर्गत प्रतिरोध 10 KΩ है और इसे 50 pF निवेश धारिता वाले एक दोलनदर्शी से जोड़ा गया है। समय स्थिरांक ज्ञात कीजिए।**

A pulse generator has an output resistance of 10 KΩ and is connected to an oscilloscope of input capacitance of 50 pF. Find the time constant.

(A) 25 nS
(B) 0.5 μS
(C) 5 μS
(D) 50 nS

Q2. **एक डायोड के गतिशील अग्र और पश्च प्रतिरोध की गणना कीजिए जब लागू वोल्टेज T=300 K पर 0.3 V है, दिया गया है I_0=1 μA।**

(A) गतिशील अग्र प्रतिरोध = 0.354 Ω और पश्च प्रतिरोध = 300 KΩ
(B) गतिशील अग्र प्रतिरोध = 0.214 Ω और पश्च प्रतिरोध = 300 KΩ
(C) गतिशील अग्र प्रतिरोध = 0.500 Ω और पश्च प्रतिरोध = 500 KΩ
(D) गतिशील अग्र प्रतिरोध = 0.254 Ω और पश्च प्रतिरोध = 300 KΩ

Calculate the dynamic forward and reverse resistance of a diode when the applied voltage is 0.3 V at T=300 K, given I_0=1 μA.

(A) Dynamic forward resistance = 0.354 Ω and Reverse resistance = 300 KΩ
(B) Dynamic forward resistance = 0.214 Ω and Reverse resistance = 300 KΩ
(C) Dynamic forward resistance = 0.500 Ω and Reverse resistance = 500 KΩ
(D) Dynamic forward resistance = 0.254 Ω and Reverse resistance = 300 KΩ

Q3. **तापीय पलायन से बचने के लिए, बीजेटी के संचालन बिंदु को निम्नलिखित शर्त को पूरा करना चाहिए:**

To avoid thermal runaway, the operating point of the BJT should satisfy the following condition:

(A) $V_{CE} \leq V_{CC}/2$
(B) $V_{CE} = V_{CC}/2$
(C) $V_{CE} > V_{CC}/2$
(D) $V_{CE} \leq 0.78V_{CC}$

Q4. **एन-चैनल मोसेफ्ट की थ्रेशोल्ड वोल्टेज को __________ द्वारा बढ़ाया जा सकता है।**

(A) चैनल अपमिश्रण सांद्रता बढ़ाकर
(B) चैनल अपमिश्रण सांद्रता कम करके
(C) गेट ऑक्साइड की मोटाई कम करके
(D) चैनल की लंबाई कम करके

The threshold voltage of the n-channel MOSFET can be increased by __________.

(A) Increasing channel doping concentration
(B) Reducing channel doping concentration
(C) Reducing gate oxide thickness
(D) Reducing channel length

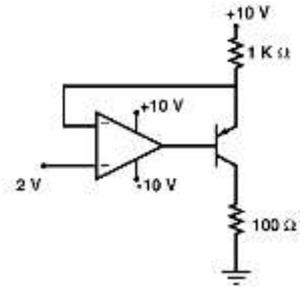
Q5. **बिना फीडबैक और ऋणात्मक फीडबैक वाले एक प्रवर्धक का वोल्टेज लाभ क्रमशः 100 और 20 है। ऋणात्मक फीडबैक कारक का प्रतिशत __________ होगा।**

The voltage gain of an amplifier without feedback and with negative feedback is 100 and 20, respectively. The percentage of the negative feedback factor would be __________.

(A) 5%
(B) 20%
(C) 80%
(D) 4%

Q6. **दिए गए परिपथ में 100 Ω प्रतिरोध से प्रवाहित विद्युत प्रवाह _________ होगी।**

In the circuit given current flowing through the resistance 100 Ω would be___________.



(A) 18 mA
(B) 10 mA
(C) 8 mA
(D) 20 mA

Q7. **$(2236)_{10}$ को एक्सेस-3 कोड में एनकोड करें।**

Encode $(2236)_{10}$ in excess-3 code.

(A) 0100 0101 0110 1001
(B) 0101 0101 0110 1011
(C) 0100 0101 0110 0110
(D) 0101 0101 0110 1001

Q8. **एक द्वि-ढलान ADC का रिफरेंस वोल्टेज 10 V है। समाकलक में 1 μF और 10 KΩ का संधारित्र है। अज्ञात वोल्टता V_x को पढ़ने में लगा समय 0.1s है। V_x ज्ञात कीजिए।**

The reference voltage of a dual slope ADC is 10 V. The integrator has a capacitor of 1 μF and 10 KΩ. The time taken to read an unknown voltage V_x is 0.1s. Find V_x.

(A) 2 V
(B) 3 V
(C) 1 V
(D) 4 V

Q9. **एक रिपल काउंटर में 4 FF होते हैं, और पहला FF, F0, क्लॉक से पल्स प्राप्त करता है और Q_0 आउटपुट देता है। अन्य FF जुड़े होते हैं, जो Q_1, Q_2 और Q_3 देते हैं। जब क्लॉक आवृत्ति 1 MHz हो, तो Q_3 आउटपुट की आवृत्ति ज्ञात कीजिए।**

A ripple counter consists of 4 FFs, and the first FF, F0, receives the pulses from the clock and gives an output Q_0. Other FFs are connected, giving Q_1, Q_2, and Q_3. Determine the frequency of Q_3 output when the clock frequency is 1 MHz.

(A) 52.5 KHz
(B) 72.5 KHz
(C) 82.5 KHz
(D) 62.5 KHz

Q10. **हार्डवेयर विवरण भाषा को एफपीजीए में मैप करते समय, एफएफ का अनुमान __________ से लगाया जाता है।**

(A) अनुक्रमिक लॉजिक समीकरण (B) क्लॉक्ड प्रक्रियाएँ
(C) संयोजन लॉजिक समीकरण (D) केवल टेस्टबेंच कोड

When mapping Hardware Description Language to an FPGA, FFs are inferred from:

(A) Sequential logic equations (B) Clocked processes
(C) Combinational logic equations (D) Testbench-only code

Q11. **हार्डवेयर विवरण भाषाओं में एक टेस्टबेंच निम्नलिखित कारणों से लागू होता है:**

(A) सिमुलेशन के माध्यम से सर्किट की कार्यक्षमता की जाँच करने के लिए
(B) सर्किट को एफपीजीए में संश्लेषित करने के लिए
(C) पीसीबी लेआउट बनाने के लिए
(D) मानक सेलों में कोड मैप करने के लिए

A testbench in Hardware Description Languages is applicable for the following reasons:

(A) To check circuit functionality through simulation
(B) To synthesize the circuit into an FPGA
(C) To generate PCB layouts
(D) Mapping code to standard cells

Q12. **संश्लेषण उद्देश्यों के लिए हार्डवेयर विवरण भाषा में किस अमूर्तन स्तर का अधिकतर उपयोग किया जाता है?**

(A) गेट-स्तर (B) व्यवहारिक स्तर
(C) रजिस्टर ट्रान्सफर स्तर (D) भौतिक लेआउट

Which abstraction level is mostly used in hardware description language for synthesis purposes?

(A) Gate-level (B) Behavioral Level
(C) Register Transfer Level (D) Physical layout

Q13. **एफपीजीए डिज़ाइन को लागू करने के लिए, प्लेस-एंड-रूट टूल का उपयोग _____ के लिए किया जाता है।**
(A) भौतिक स्थानों और इंटरकनेक्ट्स को लॉजिक एलिमेंट निर्दिष्ट करने
(B) एलयूटी ट्रुथ टेबल्स को सीधे कॉन्फ़िगर करने
(C) टाइमिंग वेवफ़ॉर्म का अनुकरण करने
(D) एचडीएल कोड को बूलियन समीकरणों में मैप करने

To implement FPGA design, the place-and-route tool is used for:
(A) Assigning logic elements to physical locations and interconnects
(B) Configuring LUT truth tables directly
(C) Simulating timing waveforms
(D) Mapping HDL code to Boolean equations

Q14. **एक पीएएल उपकरण का उपयोग ______ को कार्यान्वित करने के लिए किया जाता है।**
(A) कोई भी अनुक्रमिक सर्किट
(B) कोई भी संयोजनात्मक लॉजिक
(C) संयोजनात्मक और अनुक्रमिक दोनों लॉजिक
(D) केवल मेमोरी फ़ंक्शन

A PAL device is used to implement:
(A) Any sequential circuit
(B) Any combinational logic
(C) Both combinational and sequential logic
(D) Only memory functions

Q15. **फ्लैश मेमोरी में डेटा किस तकनीक द्वारा इरेज़ किया जा सकता है:**
(A) कैपेसिटिव डिस्चार्ज (B) क्वांटम टनलिंग
(C) आवधिक चार्ज रिफ्रेशिंग (D) सभी विकल्प

Data in Flash memory is erased by which technique:
(A) Capacitive discharge (B) Quantum tunneling
(C) Refreshing charge periodically (D) All of the options

Q16. **निम्नलिखित में से कौन सी डिज़ाइन तकनीक एफपीजीए पर जटिल डिज़ाइनों की मैपिंग दक्षता में सुधार करती है?**
(A) मॉड्यूलर डिज़ाइन से बचना
(B) तकनीक-स्वतंत्र आरटीएल राइट करना
(C) निश्चित गेट-स्तरीय नेटलिस्ट में लॉजिक को फोर्स करना
(D) उच्च फैन-इन संयोजन लॉजिक का उपयोग करना

Which of the following design techniques improves the mapping efficiency of complex designs onto FPGAs?
(A) Avoiding modular design
(B) Writing technology-independent RTL
(C) Forcing logic into fixed gate-level netlists
(D) Using high fan-in combinational logic

Q17. **8 इनपुट वाले एक फ़ंक्शन को 4-इनपुट एलयूटी एफपीजीए पर मैप किया जाता है। आवश्यक एलयूटी की न्यूनतम संख्या:**

A function with 8 inputs is mapped onto a 4-input LUT FPGA. The minimum number of LUTs required:

(A) 4
(B) 32
(C) 8
(D) 16

Q18. **एक सीआरओ का ऊर्ध्वाधर लाभ नियंत्रण 10 V/cm की विक्षेपण संवेदनशीलता पर सेट किया गया है। y-इनपुट पर एक अज्ञात AC संकेत वोल्टेज लगाया गया है। डिस्प्ले पर 5 cm लंबी रेखा का निशान दिखाई देता है। AC वोल्टेज ज्ञात कीजिए।**

A vertical gain control of a CRO is set at a deflection sensitivity of 10 V/cm. An unknown AC sign voltage is applied to the y-input. A 5 cm-long line trace is observed on the display. Determine the AC voltage.

(A) 16.66 V
(B) 15.14 V
(C) 17.66 V
(D) 14.14 V

Q19. **$4\frac{1}{2}$ अंक वाले वोल्टमीटर का रिज़ॉल्यूशन इस प्रकार है:**

The resolution of a $4\frac{1}{2}$ digit voltmeter is as follows:

(A) 0.001
(B) 0.0001
(C) 0.00001
(D) 0.01

Q20. **फ़ंक्शन जनरेटर में स्वीप मोड का उपयोग मुख्यतः __________ के लिए किया जाता है।**

(A) आरएमएस वोल्टेज मापने
(B) सर्किट की आवृत्ति प्रतिक्रिया का अभिलक्षण
(C) डीसी वोल्टेज मापने
(D) सभी विकल्प

The sweep mode in a function generator is used mainly for:

(A) Measuring RMS voltages
(B) Characterizing the frequency response of circuits
(C) Measuring DC voltage
(D) All of the options

Q21. ऑसिलोस्कोप में, अलियासिंग निम्नलिखित कारणों से होती है:
(A) नमूनाकरण दर उच्चतम इनपुट आवृत्ति के दोगुने से अधिक है
(B) नमूनाकरण दर उच्चतम इनपुट आवृत्ति के दोगुने से कम है
(C) time/div सेटिंग बहुत धीमी है
(D) सभी विकल्प

In oscilloscopes, aliasing occurs due to the following reasons:
(A) Sampling rate is greater than twice the highest input frequency
(B) Sampling rate is less than twice the highest input frequency
(C) The time/div setting is too slow
(D) All of the options

Q22. बाउंड्री-स्कैन (जेटीएजी) डिबगिंग का उपयोग ______ के लिए किया जाता है।
(A) केवल आइसी आंतरिक रजिस्टरों का परीक्षण
(B) एनालॉग वोल्टेज तरंगों का मापन
(C) प्रत्यक्ष प्रोब एक्सेस के बिना पीसीबी इंटरकनेक्शन के परीक्षण
(D) कोई भी विकल्प नहीं

Boundary-scan (JTAG) debugging is used for:
(A) Testing IC internal registers only
(B) Measuring analog voltage waveforms
(C) Testing PCB interconnections without direct probe access
(D) None of the options

Q23. हार्डवेयर-सॉफ़्टवेयर कोडिज़ाइन में, एक्सेलरेटर के लिए सामान्य प्रदर्शन बाधाएँ हैं:
(A) हार्डवेयर विलंबता
(B) सॉफ़्टवेयर विलंबता
(C) बस बैंडविड्थ और मेमोरी ट्रांसफ़र ओवरहेड
(D) सभी विकल्प

In Hardware-Software codesign, the common performance bottleneck for accelerators is:
(A) Hardware latency
(B) Software latency
(C) Bus bandwidth and memory transfer overhead
(D) All of the options

Q24. एम्डल का नियम ______ लागू होता है।

(A) पावर अनुक्रमण आवश्यकताओं का विश्लेषण करने के लिए
(B) डीएमए ट्रान्सफर साइजों का अनुकूलन करने के लिए
(C) एफपीजीए संसाधन उपयोग को मापने के लिए
(D) हार्डवेयर में कार्यभार के केवल एक भाग को त्वरित करते समय अधिकतम सिस्टम गति का अनुमान लगाने के लिए

Amdahl's Law is applied to:

(A) Analyze power sequencing requirements
(B) Optimize DMA transfer sizes
(C) Measure FPGA resource utilization
(D) Estimate the maximum system speedup when accelerating only part of the workload in hardware

Q25. स्कैन-आधारित टेस्टिंग में, फ्लिप-फ्लॉप को ________ संशोधित किया जाता है।

(A) टेस्ट मोड के दौरान सीरियल शिफ्ट रजिस्टर के रूप में कार्य करने के लिए
(B) त्रुटि सुधार के लिए अतिरिक्त बिट्स स्टोर करने के लिए
(C) स्वचालित रूप से टेस्ट वेक्टर उत्पन्न करने
(D) कोई भी विकल्प नहीं

In scan-based testing, flip-flops are modified to:

(A) Act as serial shift registers during test mode
(B) Store redundant bits for error correction
(C) Generate test vectors automatically
(D) None of the options

Q26. मेमोरी ट्रैफ़िक को कम करने के लिए किस आर्किटेक्चर को सबसे अधिक संख्या में सामान्य-उद्देश्य रजिस्टरों की आवश्यकता होती है?

(A) रजिस्टर-रजिस्टर आर्किटेक्चर (B) संचायक आर्किटेक्चर
(C) स्टैक आर्किटेक्चर (D) कोई भी विकल्प नहीं

Which architectures require the largest number of general-purpose registers to reduce memory traffic?

(A) Register-Register architecture (B) Accumulator architecture
(C) Stack architecture (D) None of the options

Q27. वॉन न्यूमैन आर्किटेक्चर के लिए कौन सा कथन सही नहीं है?

(A) डेटा और निर्देशों के लिए एकल बस
(B) निर्देशों का अनुक्रमिक निष्पादन
(C) नियंत्रण इकाई प्राप्त-डिकोड-निष्पादित चक्र का प्रबंधन करती है
(D) डेटा और निर्देश मेमोरी की समानांतर पहुँच

Which statement is NOT correct for Von Neumann architecture?

(A) Single bus for data and instructions
(B) Sequential execution of instructions
(C) Control Unit manages fetch-decode-execute cycle
(D) Parallel access of data and instruction memory

Q28. कौन से प्रोसेसर हार्वर्ड आर्किटेक्चर पर आधारित हैं?
(A) इंटेल x86
(B) एएमडी राइजेन डेस्कटॉप सीपीयू
(C) आर्म कॉर्टेक्स-एम माइक्रोकंट्रोलर
(D) सभी विकल्प

Which processors are based on Harvard architecture?
(A) Intel x86
(B) AMD Ryzen desktop CPUs
(C) ARM Cortex-M microcontrollers
(D) All of the options

Q29. फ्लिन का वर्गीकरण निम्नलिखित अवधारणा पर विचार नहीं करता है:
(A) पाइपलाइनिंग
(B) सिंगल इन्सट्रक्शन, मल्टीपल डेटा वेक्टर लेंथ
(C) कैश ऑर्गनाइज़ेशन
(D) सभी विकल्प

Flynn's classification does not consider the following concept:
(A) Pipelining
(B) Single Instruction, Multiple Data vector length
(C) Cache organization
(D) All of the options

Q30. किस इन्सट्रक्शन फ़ारमैट के लिए सबसे बड़े इन्सट्रक्शन साइज की आवश्यकता होती है?
(A) केवल दो-एड्रेस
(B) केवल एक-एड्रेस
(C) परिवर्तनीय-लेंथ वाला दो-एड्रेस पफ़ारमैट
(D) निश्चित-लेंथ वाला तीन-एड्रेस फ़ारमैट

Which instruction format requires the largest instruction size?
(A) Two-address only
(B) One-address only
(C) Variable-length two-address format
(D) Fixed-length three-address format

Q31. सिस्क में माइक्रोप्रोग्रामिंग रिस्क की तुलना में अधिक प्रचलित क्यों है?
(A) सिस्क में जटिल इन्सट्रक्शनों को डिकोड करना आवश्यक होता है
(B) माइक्रोप्रोग्रामिंग रजिस्टर के उपयोग को कम करता है
(C) सिस्क में परिवर्तनशील-लंबाई वाले इन्सट्रक्शनों की आवश्यकता होती है
(D) सभी विकल्प

Why is microprogramming more common in CISC than in RISC?
(A) CISC requires decoding of complex instructions
(B) Microprogramming reduces register usage
(C) CISC requires variable-length instructions
(D) All of the options

Q32. बहुत लंबे इन्सट्रक्शन वर्ड आइएसए की विशेषता क्या है?

(A) हार्डवेयर डायनेमिक शेड्यूलिंग
(B) परिवर्तनीय-लंबाई ऑपकोड
(C) जटिल इन्सट्रक्शनों के लिए माइक्रोप्रोग्रामिंग
(D) कंपाइलर निर्देश-स्तरीय समांतरता को संभालता है

Which is a Very Long Instruction Word ISA characteristic?

(A) Hardware dynamic scheduling
(B) Variable-length opcodes
(C) Microprogramming for complex instructions
(D) Compiler handles instruction-level parallelism

Q33. एक नॉन-पाइपलाइन प्रोसेसर एक इन्सट्रक्शन को निष्पादित करने में 20 ns का समय लेता है। 5-चरणीय पाइपलाइन में वही इन्सट्रक्शन प्रत्येक चरण में 10 ns का समय लेता है। 200 निर्देशों के लिए, अनुमानित गतिवृद्धि __________ है।

A non-pipelined processor takes 20 ns to execute an instruction. The same instruction in a 5-stage pipeline takes 10 ns per stage. For 200 instructions, the approximate speedup is:

(A) 9×
(B) 5×
(C) 2×
(D) 10×

Q34. यदि एक अर्थमेटिक पाइपलाइन की 5 चरणों वाले 50 कार्यों के अनुक्रम के लिए दक्षता 70% है, तो कितनी रुकावटें हुईं?

If an arithmetic pipeline has an efficiency 70% for a sequence of 50 tasks with 5 stages, how many stalls occurred?

(A) 10
(B) 20
(C) 30
(D) 40

Q35. एक सीपीयू 32-बिट एड्रेस जनरेट करता है। यदि कैश में 2के ब्लॉक हैं, ब्लॉक साइज़ = 8 बाइट्स, तो डायरेक्ट मैपिंग के लिए कितने टैग बिट्स की आवश्यकता होगी?

A CPU generates 32-bit addresses. If the cache has 2K blocks, block size = 8 bytes, how many tag bits are needed for direct mapping?

(A) 12
(B) 16
(C) 18
(D) 20

Q36. फ्लैश मेमोरी तकनीक के विस्तार को सबसे अधिक कौन सा कारक सीमित करता है?

(A) ट्रांजिस्टर की लागत
(B) फ्लोटिंग-गेट इंटरफेरेंस और चार्ज लीकेज
(C) इन्सट्रक्शन पाइपलाइनिंग
(D) रिफ्रेश दर आवश्यकताएँ

Which factor limits the scaling of flash memory technology the most?

(A) Cost of transistors
(B) Floating-gate interference and charge leakage
(C) Instruction pipelining
(D) Refresh rate requirements

Q37. एक उपकरण 150 KB/s की गति से डेटा उत्पन्न करता है, लेकिन सीपीयू प्रोग्राम्ड I/O मोड में केवल 30 KB/s की गति से I/O रिक्वेस्ट को ही पूरा कर सकता है। क्या होता है?

(A) सीपीयू का कम उपयोग हो रहा है
(B) उपकरण स्वचालित रूप से डीएमए पर स्विच हो जाता है
(C) डेटा सर्विस होने तक कैश में जमा होता रहता है
(D) डेटा हानि होती है

A device generates data at 150 KB/s, but the CPU can only service I/O requests at 30 KB/s in programmed I/O mode. What happens?

(A) CPU is underutilized
(B) Device automatically switches to DMA
(C) Data accumulates in cache until serviced
(D) Data loss occurs

Q38. एक डीएमए कंट्रोलर 2 बस चक्रों में 1 वर्ड ट्रान्सफर करता है। यदि बस की गति = 10 मेगाहर्ट्ज़ और वर्ड साइज = 16 बिट है, तो अधिकतम ट्रान्सफर रेट क्या है?

(A) 10 एमबीपीएस (B) 20 एमबीपीएस
(C) 15 एमबीपीएस (D) 25 एमबीपीएस

A DMA controller transfers 1 word per 2 bus cycles. If bus speed = 10 MHz and word size = 16 bits, what is the max transfer rate?

(A) 10 Mbps (B) 20 Mbps
(C) 15 Mbps (D) 25 Mbps

Q39. एक सीपीयू को किसी इंटरप्ट को पहचानने और आइएसआर से जुड़ने में 20 चक्र लगते हैं। प्रत्येक आइएसआर को निष्पादित होने में 100 चक्र लगते हैं। यदि हर 300 चक्र में इंटरप्ट आते हैं, तो सीपीयू समय का कितना प्रतिशत इंटरप्ट को संभालने में व्यतीत होता है?

A CPU takes 20 cycles to recognize an interrupt and branch to the ISR. Each ISR takes 100 cycles to execute. If interrupts arrive every 300 cycles, what percentage of CPU time is spent handling interrupts?

(A) 25%
(B) 30%
(C) 40%
(D) 10%

Q40. **यदि एक 16-बिट डेटा बस 10 मेगाहर्ट्ज पर संचालित होती है और प्रति चक्र एक वर्ड ट्रान्सफर करती है, तो अधिकतम बैंडविड्थ क्या है?**

(A) 20 एमबी/सेकंड
(B) 40 एमबी/सेकंड
(C) 80 एमबी/सेकंड
(D) 10 एमबी/सेकंड

If a 16-bit data bus operates at 10 MHz and transfers one word per cycle, what is the peak bandwidth?

(A) 20 MB/s
(B) 40 MB/s
(C) 80 MB/s
(D) 10 MB/s

Q41. **मानक I^2C एड्रेसिंग__________ समर्थित है।**

(A) 8-बिट एड्रेस
(B) 9-बिट और 10-बिट एड्रेस
(C) केवल 8-बिट एड्रेस
(D) 7-बिट और 10-बिट एड्रेस

Standard I^2C addressing supports:

(A) 8-bit addresses
(B) 9-bit and 10-bit addresses
(C) Only 8-bit addresses
(D) 7-bit and 10-bit addresses

Q42. **कौन सा यूएसबी ट्रान्सफर टाइप बैंडविड्थ की गारंटी देता है लेकिन विलंबता की नहीं?**

(A) वायरलेस कंट्रोलर
(B) कंट्रोलर ट्रान्सफर
(C) इंटरप्ट ट्रान्सफर
(D) समकालिक ट्रान्सफर

Which USB transfer type guarantees bandwidth but not latency?

(A) Wireless controller
(B) Control transfer
(C) Interrupt transfer
(D) Isochronous transfer

Q43. **एक नेटवर्क एड्रेस 192.168.10.0/26 है। पहले सबनेट का ब्रॉडकास्ट एड्रेस क्या है?**

A network has the address 192.168.10.0/26. What is the broadcast address of the first subnet?

(A) 192.168.10.31
(B) 192.168.10.63
(C) 192.168.10.255
(D) 192.168.10.127

Q44. एक 10 एमबीपीएस लिंक का प्रोपेगेशन डिले 100 ms और पैकेट साइज 1000 बाइट्स है। कितने पैकेट बैंडविड्थ-डिले प्रॉडक्ट हो सकते हैं?

A 10 Mbps link has a propagation delay of 100 ms and a packet size of 1000 bytes. How many packets can be Bandwidth-Delay Product?

(A) 10.5
(B) 12.5
(C) 100
(D) 125

Q45. आइपीवी4 हेडर में कौन सा फ़ील्ड प्रत्येक राउटर द्वारा घटाया जाता है जिससे पैकेट गुजरता है?

(A) टीटीएल (टाइम टू लिव)
(B) आइडेंटिफिकेशन
(C) प्रोटोकॉल
(D) फ्रैगमेंट ऑफ़सेट

Which field in the IPv4 header is decremented by every router a packet passes through?

(A) TTL (Time to Live)
(B) Identification
(C) Protocol
(D) Fragment offset

Q46. यदि कोई प्रोग्राम एकल प्रोसेसर पर 1000 सेकंड में चलता है, और इसका 80% निष्पादन समानांतर है, तो एक आदर्श डूअल कोर सिस्टम पर अपेक्षित रनटाइम क्या है?

If a program runs in 1000s on a single processor, and 80% of its execution is parallelizable, what is the expected runtime on an ideal dual-core system?

(A) 650 s
(B) 700 s
(C) 600 s
(D) 850 s

Q47. एक सीपीयू 1 बिलियन निर्देशों का कार्यभार निष्पादित करता है, जिसका औसत सीपीआइ 1 और क्लॉक आवृत्ति 1 गीगाहर्ट्ज है। एमआइपीएस में थ्रूपुट क्या है?

A CPU executes a workload of 1 billion instructions with an average CPI of 1 and a clock frequency of 1 GHz. What is the throughput in MIPS?

(A) 1500
(B) 1000
(C) 2000
(D) 1250

Q48. एक इंटरप्ट को सर्विस करने में 10 μs लगते हैं। यदि सिस्टम को 5000 इंटरप्ट/सेकंड मिलते हैं, तो सीपीयू टाइम का कितना प्रतिशत इंटरप्ट को संभालने में खर्च होता है?

An interrupt takes 10 μs to service. If the system receives 5000 interrupts/sec, what percentage of CPU time is spent handling interrupts?

(A) 2%
(B) 10%
(C) 20%
(D) 5%

Q49. एक सिस्टम डीप स्लीप मोड में प्रवेश करता है, जहाँ 20 सेकंड के लिए 0.7 मेगा वॉट की खपत होती है, और एक्टिव मोड में प्रवेश करता है, जहाँ 5 सेकंड के लिए 80 मेगा वॉट की खपत होती है। औसत बिजली खपत क्या है?

(A) 16.56 मेगा वॉट
(B) 26.56 मेगा वॉट
(C) 10.46 मेगा वॉट
(D) 12.76 मेगा वॉट

A system enters Deep Sleep mode, consuming 0.7 mW for 20 seconds, and Active mode, consuming 80 mW for 5 seconds. What is the average power consumption?

(A) 16.56 mW
(B) 26.56 mW
(C) 10.46 mW
(D) 12.76 mW

Q50. एक प्रोग्राम 0 से 8191 तक लॉजिकल एड्रेस जेनरेट करता है। पेज साइज = 2 KB। पृष्ठ संख्या के लिए कितने बिट्स की आवश्यकता है?

A program generates logical addresses from 0 to 8191. Page size = 2 KB. How many bits are needed for the page number?

(A) 4
(B) 10
(C) 12
(D) 2

Q51. एम्बेडेड सिस्टम में वॉचडॉग टाइमर का उद्देश्य है:

(A) सीपीयू की बिजली खपत कम करना
(B) सॉफ़्टवेयर की विफलता की स्थिति में सिस्टम को रीसेट करना
(C) मेमोरी को करप्ट होने से बचाना
(D) क्लॉक सिंक्रोनाइज़ेशन प्रदान करना

The purpose of a watchdog timer in embedded systems is:

(A) Reduce CPU power consumption
(B) Reset the system in case of software failure
(C) Protect memory from corruption
(D) Provide clock synchronization

Q52. **एक आइओटी एम्बेडेड उपकरण 10 सेकंड के लिए 50 मेगा वॉट पर सक्रिय रहता है, फिर 20 सेकंड के लिए 0.5 मेगा वॉट पर निष्क्रिय हो जाता है। इसकी औसत बिजली खपत क्या है?**

(A) 20 मेगा वॉट
(B) 17 मेगा वॉट
(C) 24 मेगा वॉट
(D) 26 मेगा वॉट

An IoT embedded device operates active at 50 mW for 10 s, then sleeps at 0.5 mW for 20 s. What is its average power consumption?

(A) 20 mW
(B) 17 mW
(C) 24 mW
(D) 26 mW

Q53. **एम्बेडेड उपकरणों को प्रायः न्यूनतम रैम और फ़्लैश के साथ क्यों डिज़ाइन किया जाता है?**

(A) विश्वसनीयता कम करने के लिए
(B) लागत और बिजली की खपत कम करने के लिए
(C) सीपीयू शेड्यूलिंग को सरल बनाने के लिए
(D) कैशिंग को समाप्त करने के लिए

Why are embedded devices often designed with minimal RAM and Flash?

(A) To reduce reliability
(B) To reduce cost and power consumption
(C) To simplify CPU scheduling
(D) To eliminate caching

Q54. **I^2C/SPI संचार समस्याओं के डीबगिंग के लिए कौन से उपकरण आवश्यक हैं?**

(A) लॉजिक एनालाइज़र
(B) जेटीएजी प्रोब
(C) इन-सर्किट एमुलेटर
(D) सभी विकल्प

Which tools are essential for debugging I^2C/SPI communication issues?

(A) Logic analyzer
(B) JTAG probe
(C) In-circuit emulator
(D) All of the options

Q55. **एफपीजीए-आधारित एम्बेडेड सिस्टम के विकास के लिए कौन सी विशिष्ट आवश्यकता है?**

(A) रीयल-टाइम ऑपरेटिंग सिस्टम का उपयोग
(B) क्रॉस-कंपाइलर का उपयोग
(C) हार्डवेयर विवरण भाषाओं (एचडीएल) का उपयोग
(D) सभी विकल्प

Which is a unique requirement when developing for FPGA-based embedded systems?

(A) Using real-time operating systems
(B) Using cross-compilers
(C) Using hardware description languages (HDL)
(D) All of the options

Q56. **एक डेवलपर 5 मिनट में कोड कंपाइल करता है, 30 सेकंड में लक्ष्य पर डाउनलोड करता है, और 8.5 मिनट तक डीबग करता है।**
यदि इसे प्रतिदिन 10 बार दोहराया जाए, तो कुल कितना समय लगेगा?

(A) 140 मिनट
(B) 150 मिनट
(C) 160 मिनट
(D) 180 मिनट

A developer compiles code in 5 min, downloads to the target in 30 s, and debugs for 8.5 min.
If repeated 10 times/day, how much total time is spent?

(A) 140 min
(B) 150 min
(C) 160 min
(D) 180 min

Q57. **एक माइक्रोकंट्रोलर का क्लॉक 15 मेगाहर्ट्ज़ है और प्रत्येक इन्सट्रक्शन के लिए 15 चक्रों की आवश्यकता होती है। इसकी एमआइपीएस रेटिंग क्या है?**

(A) 2 एमआइपीएस
(B) 1 एमआइपीएस
(C) 10 एमआइपीएस
(D) 20 एमआइपीएस

A microcontroller has a 15 MHz clock and requires 15 cycles per instruction. What is its MIPS rating?

(A) 2 MIPS
(B) 1 MIPS
(C) 10 MIPS
(D) 20 MIPS

Q58. **एक एमसीयू 100 मेगा वॉट की खपत करता है और एक कार्य को पूरा करने में 50 मिली सेकंड का समय लेता है। एक डीएसपी 200 मेगा वॉट की खपत करता है, लेकिन उसी कार्य को 10 मिली सेकंड में पूरा करता है। कौन सा अधिक ऊर्जा-कुशल है?**

(A) एमसीयू
(B) डीएसपी
(C) दोनों बराबर
(D) कार्यभार पर निर्भर करता है

An MCU consumes 100 mW and takes 50 ms to complete a task. A DSP consumes 200 mW but completes the same task in 10 ms. Which is more energy-efficient?

(A) MCU
(B) DSP
(C) Both equal
(D) Depends on workload

Q59. **3-स्टेज पाइपलाइन में, यदि प्रत्येक इन्सट्रक्शन में प्रति चरण 2 चक्र लगते हैं, तो 20 इन्सट्रक्शनों को निष्पादित करने के लिए कितने चक्रों की आवश्यकता होगी?**

In a 3-stage pipeline, if each instruction takes 2 cycles per stage, how many cycles are needed to execute 20 instructions?

(A) 50
(B) 44
(C) 40
(D) 55

Q60. **वास्तविक समय मोटर नियंत्रण अनुप्रयोगों के लिए कौन सा एमसीयू पेरिफेरल परिधीय सबसे महत्वपूर्ण है?**

Which MCU peripheral is most critical for real-time motor control applications?

(A) UART
(B) ADC + PWM
(C) I^2C
(D) GPIO

Q61. **माइक्रोकंट्रोलर इकाइयों में प्रोग्राम स्टोरेज के लिए आमतौर पर किस प्रकार की मेमोरी का उपयोग किया जाता है?**

(A) एसआरएएम
(B) डीआरएएम
(C) कैश
(D) फ़्लैश

Which type of memory is generally used for program storage in Microcontroller Units?

(A) SRAM
(B) DRAM
(C) Cache
(D) Flash

Q62. **एक एम्बेडेड माइक्रोकंट्रोलर यूनिट को 5 μs के भीतर सेंसर ईवेंट पर प्रतिक्रिया देनी चाहिए। कौन सी विशेषता इसे सुनिश्चित करती है?**

(A) कम विलंबता के साथ इंटरप्ट हैंडलिंग
(B) उच्च क्लॉक आवृत्ति
(C) उच्च-स्तरीय ओएस समर्थन
(D) बाह्य मेमोरी इंटरफ़ेस

An embedded Microcontroller Unit must react to a sensor event within 5 μs. Which feature ensures this?

(A) Interrupt handling with low latency
(B) High clock frequency
(C) High-level OS support
(D) External memory interface

Q63. माइक्रोकंट्रोलर यूनिट (एमसीयू) X: 100 मेगाहर्ट्ज़, प्रति निर्देश 1 चक्र, लागत = $5
माइक्रोकंट्रोलर यूनिट (एमसीयू) Y: 80 मेगाहर्ट्ज़, प्रति निर्देश 2 चक्र, लागत = $4
किसका निर्देश थ्रूपुट अधिक है?

(A) MCU Y
(B) MCU X
(C) दोनों बराबर
(D) निर्धारित नहीं किया जा सकता

Microcontroller Unit (MCU) X: 100 MHz, 1 cycle per instruction, Cost = $5
Microcontroller Unit (MCU) Y: 80 MHz, 2 cycles per instruction, Cost = $4
Which has higher instruction throughput?

(A) MCU Y
(B) MCU X
(C) Both equal
(D) Cannot determine

Q64. ड्रोन को रीयल-टाइम सेंसर फ़्यूज़न और मोटर नियंत्रण की आवश्यकता होती है। कौन सा माइक्रोकंट्रोलर यूनिट (एमसीयू) चयन उपयुक्त है?

(A) 16 मेगाहर्ट्ज क्लॉक वाला 8-बिट एमसीयू
(B) न्यूनतम बाह्य उपकरणों वाला एमसीयू
(C) उपलब्ध सबसे सस्ता 8-बिट एमसीयू
(D) हार्डवेयर टाइमर, एडीसी और उच्च क्लॉक आवृत्ति वाला 32-बिट एमसीयू

A drone requires real-time sensor fusion and motor control. Which Microcontroller Unit (MCU) selection is appropriate?

(A) 8-bit MCU with 16 MHz clock
(B) MCU with minimal peripherals
(C) Cheapest 8-bit MCU available
(D) 32-bit MCU with hardware timers, ADC, and high clock frequency

Q65. एक 16-बिट एमसीयू ऑन-चिप एडीसी और टाइमर का उपयोग करता है। बिजली की खपत कम करने के लिए कौन सी रणनीति सबसे उपयुक्त है?

(A) अप्रयुक्त बाह्य उपकरणों को अक्षम करें और स्लीप मोड का उपयोग करें
(B) क्लॉक आवृत्ति बढ़ाएँ
(C) केवल 32-बिट निर्देशों का उपयोग करें
(D) एमसीयू को हर समय पूरी तरह सक्रिय रखें

A 16-bit MCU uses on-chip ADC and timers. To reduce power, which strategy is best?

(A) Disable unused peripherals and use sleep modes
(B) Increase clock frequency
(C) Use only 32-bit instructions
(D) Keep MCU fully active at all times

Q66. अधिकांश आधुनिक एसओसी किस आंतरिक संचार आर्किटेक्चर को अपनाते हैं?

(A) केवल सिम्पल शेयर्ड बस
(B) पीसीएलइ बाह्य इंटरफ़ेस
(C) मल्टी-लेयर एएमबीए (एएक्सआइ/एएचबी/एपीबी) या एनओसी (नेटवर्क-ऑन-चिप)
(D) प्योर वॉन न्यूमैन आर्किटेक्चर

Most modern SoCs adopt which internal communication architecture?

(A) Simple shared bus only
(B) PCIe external interface
(C) Multi-layer AMBA (AXI/AHB/APB) or NoC (Network-on-Chip)
(D) Pure Von Neumann architecture

Q67. एक असतत प्रणाली में, सीपीयू-मेमोरी बस की विलंबता 20 ns होती है। एक एसओसी में, ऑन-चिप बस विलंबता को 1 ns तक कम कर देती है। यदि किसी कार्य के लिए 200 मेमोरी एक्सेस की आवश्यकता होती है, तो कितना समय बचता है?

In a discrete system, the CPU-memory bus has a 20 ns latency. In an SoC, the on-chip bus reduces latency to 1 ns. If a task requires 200 memory accesses, how much time is saved?

(A) 3.7 μs
(B) 3.2 μs
(C) 3.5 μs
(D) 3.8 μs

Q68. क्रिप्टो इंजन 10 मेगा वॉट ऊर्जा खपत करता है। कुल SoC = 200 mW । 20 सेकंड के चक्र में 5 सेकंड के लिए सक्रिय। क्रिप्टो इंजन द्वारा प्रयुक्त ऊर्जा % =?

Crypto engine consumes 10 mW. SoC total = 200 mW. Active for 5 s per 20 s cycle. % energy used by crypto engine =?

(A) 5%
(B) 10%
(C) 25%
(D) 50%

Q69. एक 16×2-कैरेक्टर एलसीडी में 8 डेटा पिन (D0–D7) और 3 कंट्रोल पिन (आरएस, आरडब्ल्यू, इएन) होते हैं। 4-बिट मोड में, कितने एमसीयू पिन की आवश्यकता होगी?

A 16×2-character LCD has 8 data pins (D0–D7) and 3 control pins (RS, RW, EN). Using 4-bit mode, how many MCU pins are required?

(A) 11
(B) 7
(C) 6
(D) 10

Q70. **पीडब्ल्यूएम का उपयोग एलइडी की चमक को नियंत्रित करने के लिए किया जाता है। यदि ड्यूटी साइकिल 70% है, तो एलइडी कितने समय तक चालू रहेगी?**

PWM is used to control LED brightness. If the duty cycle is 70%, what fraction of time is LED ON?

(A) 25%
(B) 50%
(C) 75%
(D) 100%

Q71. **एक एलइडी का अग्र वोल्टेज 3 V है। एमसीयू जीपीआइओ = 6 V है। वांछित एलइडी करेंट = 20 mA है। किस श्रेणी प्रतिरोधक की आवश्यकता है?**

An LED has a forward voltage of 3 V. MCU GPIO = 6 V. Desired LED current = 20 mA. What series resistor is required?

(A) 300 Ω
(B) 150 Ω
(C) 200 Ω
(D) 250 Ω

Q72. **10-बिट एडीसी में ±1 एलएसबी त्रुटि होती है। 0–10 V संदर्भ के लिए, अधिकतम वोल्टेज त्रुटि क्या है?**

A 10-bit ADC has ±1 LSB error. For a 0–10 V reference, what is the maximum voltage error?

(A) ±9.7 mV
(B) ±8.7 mV
(C) ±7.7 mV
(D) ±10.7 mV

Q73. **एक तापमान सेंसर को 100 हर्ट्ज़ तक के संकेतों के सटीक माप की आवश्यकता होती है। नाइक्विस्ट मानदंड के अनुसार न्यूनतम एडीसी नमूनाकरण दर क्या है?**

(A) 250 हर्ट्ज़
(B) 500 हर्ट्ज़
(C) 100 हर्ट्ज़
(D) 200 हर्ट्ज़

A temperature sensor requires accurate measurement of signals up to 100 Hz. What is the minimum ADC sampling rate according to the Nyquist criterion?

(A) 250 Hz
(B) 500 Hz
(C) 100 Hz
(D) 200 Hz

Q74. **एक तापमान संवेदक 0–100°C के लिए 0–3 V आउटपुट देता है। यदि इसे 0–5 V रिफरेंस वाले 10-बिट एडीसी से जोड़ा जाए, तो 60°C के लिए कौन सा एडीसी मान होगा?**

A temperature sensor outputs 0–3 V for 0–100°C. If interfaced to a 10-bit ADC with 0–5 V reference, what ADC value corresponds to 60°C?

(A) 370
(B) 369
(C) 470
(D) 269

Q75. **एक क्रमिक-अनुमानित एडीसी प्रति रूपांतरण 12 क्लॉक चक्र लेता है। एमसीयू क्लॉक = 10 मेगा हर्ट्ज। अधिकतम नमूना दर क्या है?**

A successive-approximation ADC takes 12 clock cycles per conversion. MCU clock = 10 MHz. What is the maximum sampling rate?

(A) 833.3 kS/s
(B) 766.6 kS/s
(C) 666.3 MS/s
(D) 800.4 kS/s

Q76. **उच्च गति वाले बहु-परत पीसीबी में कौन सी वाया संरचना सिग्नल इंटेग्रिटी में सबसे कम गिरावट लाती है?**

(A) वाया-इन-पैड प्लेटिंग के साथ स्टैक्ड वाया
(B) कई आंतरिक तलों से गुजरने वाला बरिड वाया
(C) सिग्नल परतों को सीधे जोड़ने वाला ब्लाइंड वाया
(D) अप्रयुक्त स्टब्स के साथ थ्रू-होल वाया

Which via structure introduces the least signal integrity degradation in a high-speed multi-layer PCB?

(A) Stacked via with via-in-pad plating
(B) Buried via passing through multiple internal planes
(C) Blind via directly connecting signal layers
(D) Through-hole via with unused stubs

Q77. **मल्टीलेयर पीसीबी स्टैक-अप डिज़ाइन में, पावर और ग्राउंड प्लेन का इष्टतम स्थान आमतौर पर_________ होता है।**

(A) उच्च-आवृत्ति संधारित्र बनाने के लिए एक-दूसरे के समीप
(B) ऊष्मा अपव्यय के लिए बाहरी परतों पर
(C) परिरक्षण के लिए ऊपरी और निचली परतों पर
(D) सिग्नल ट्रेस द्वारा अलग की गई वैकल्पिक परतों पर

In a multilayer PCB stack-up design, the optimal placement of power and ground planes is usually:

(A) Adjacent to each other to form a high-frequency capacitor
(B) On outer layers for heat dissipation
(C) On top and bottom layers for shielding
(D) On alternate layers separated by signal traces

Q78. उच्च गति वाले पीसीबी स्टैक-अप डिज़ाइन में, सिग्नल इंटेग्रिटी के लिए कौन सी लेयर व्यवस्था सबसे अनुकूल है?

(A) पीडब्ल्यूआर – एसआइजी – एसआइजी – पीडब्ल्यूआर
(B) एसआइजी – पीडब्ल्यूआर – जीएनडी – एसआइजी
(C) एसआइजी – एसआइजी – पीडब्ल्यूआर – जीएनडी
(D) जीएनडी – एसआइजी – जीएनडी – एसआइजी

In high-speed PCB stack-up design, which layer arrangement is most favorable for signal integrity?

(A) PWR – SIG – SIG – PWR
(B) SIG – PWR – GND – SIG
(C) SIG – SIG – PWR – GND
(D) GND – SIG – GND – SIG

Q79. एक डिज़ाइनर एनालॉग और डिजिटल सर्किट को अलग करने के लिए स्प्लिट ग्राउंड प्लेन का उपयोग करता है। उच्च-आवृत्ति डिज़ाइनों में इस पद्धति का सबसे बड़ा जोखिम क्या है?

(A) तांबे के भार में वृद्धि
(B) उच्च परावैद्युत हानि स्पर्शज्या
(C) ग्राउंड लूप और रिटर्न करंट असंततता का निर्माण
(D) दोनों क्षेत्रों से गुजरने वाले विआस से इएमआइ

A designer chooses to use a split ground plane to isolate analog and digital circuits. What is the biggest risk of this practice in high-frequency designs?

(A) Increased copper weight variation
(B) Higher dielectric loss tangent
(C) Formation of ground loops and return current discontinuities
(D) EMI from vias passing through both regions

Q80. पीसीबी लेआउट में, ईएमआई विकिरण को कम करने के लिए निम्नलिखित में से कौन सी पद्धति सबसे महत्वपूर्ण मानी जाती है?

(A) मोटे तांबे के समतलों का उपयोग
(B) उच्च गति वाले ट्रेस के अंतर्गत शॉर्ट रिटर्न करेंट पाथ सुनिश्चित करना
(C) परीक्षण बिंदुओं की संख्या बढ़ाना
(D) आईसी के अंतर्गत तापीय विआस का उपयोग

In PCB layout, which of the following practices is considered most critical for reducing EMI radiation?

(A) Using thick copper planes
(B) Ensuring short return current paths under high-speed traces
(C) Increasing the number of test points
(D) Using thermal vias under ICs

Q81. 12-लेयर उच्च-गति वाले पीसीबी को डिज़ाइन करते समय, कौन सा कारक नियंत्रित प्रतिबाधा सटीकता को सबसे अधिक प्रभावित करता है?

(A) सिल्कस्क्रीन प्लेसमेंट सटीकता
(B) ताँबे की सतह की फिनिश
(C) सामग्री की परावैद्युत स्थिरांक सहनशीलता
(D) सभी विकल्प

When designing a 12-layer high-speed PCB, which factor most strongly influences controlled impedance accuracy?

(A) Silkscreen placement accuracy
(B) Copper surface finish
(C) Dielectric constant tolerance of the material
(D) All of the options

Q82. पीसीबी डिज़ाइन में, उच्च गति वाले ट्रेस पर शार्प 90° बेंड ईएमआई में योगदान कर सकते हैं क्योंकि__________।

(A) वे प्रभावी ट्रेस इंडक्टेंस और असंततता को बढ़ाते हैं
(B) वे उच्च तापीय चालकता उत्पन्न करते हैं
(C) वे कॉमन-मोड शोर को अवशोषित करते हैं
(D) वे ग्राउंड कैपेसिटेंस को कम करते हैं

In PCB design, sharp 90° bends on high-speed traces may contribute to EMI because:

(A) They increase effective trace inductance and discontinuity
(B) They cause higher thermal conductivity
(C) They absorb common-mode noise
(D) They reduce capacitance to ground

Q83. ईएमआई फिल्टर/फेराइट बीड्स लगाने के लिए सबसे प्रभावी बिंदु है:

(A) बोर्ड के कोनों के पास
(B) लंबे ट्रेस के बीच में
(C) पीसीबी कनेक्टर/बाहरी इंटरफेस पर
(D) आईसी के आंतरिक पावर पिन पर

The most effective point to place EMI filters/ferrite beads is:

(A) Near the board corners
(B) In the middle of long traces
(C) At PCB connectors/interfaces to outside
(D) At the IC internal power pins

Q84. हाइ पावर (आरएफ एम्पलीफायरों) के संपर्क में आने वाले पीसीबी में, कौन सा परावैद्युत गुण सबसे महत्वपूर्ण हो जाता है?

(A) कम अपव्यय कारक (डीएफ) (B) उच्च टीजी
(C) कम नमी अवशोषण (D) सभी विकल्प

In PCBs exposed to high power (RF amplifiers), which dielectric property becomes most critical?

(A) Low dissipation factor (Df) (B) High Tg
(C) Low moisture absorption (D) All of the options

Q85. फ्लेक्स पीसीबी के लिए, लचीलेपन और तापीय स्थिरता के कारण किस परावैद्युत पदार्थ का सबसे अधिक उपयोग किया जाता है?

(A) पीटीएफइ (टेफ्लॉन) (B) पॉलीइमाइड
(C) रोजर्स 4000 श्रृंखला (D) एफआर-4

For flex PCBs, which dielectric material is most commonly used due to flexibility and thermal stability?

(A) PTFE (Teflon) (B) Polyimide
(C) Rogers 4000 series (D) FR-4

Q86. डीएफएम में, न्यूनतम वलयाकार वलय आवश्यकता मुख्यतः किससे बचने के लिए है?

(A) थर्मल एक्सपैन्शन मिसमैच
(B) उच्च क्रॉसटॉक
(C) ओपपेन विआस ड्यू टू ड्रिल मिसरेजिस्ट्रेशन
(D) सभी विकल्प

In DFM, what is the minimum annular ring requirement mainly to avoid?

(A) Thermal expansion mismatch
(B) Higher crosstalk
(C) Open vias due to drill misregistration
(D) All of the options

Q87. सघन बीजीए वाले ऐसे असेंबल्ड पीसीबी के लिए कौन सी परीक्षण विधि सबसे उपयुक्त है जहाँ परीक्षण पैड को पैकेज के नीचे नहीं रखा जा सकता?

(A) बाउंड्री स्कैन (जेटीएजी) (B) इन-सर्किट टेस्टिंग (आइसीटी)
(C) फ्लाइंग प्रोब टेस्ट (D) एक्स-रे निरीक्षण

Which test method is most suitable for assembled PCBs with dense BGAs where test pads cannot be placed under the package?

(A) Boundary scan (JTAG) (B) In-circuit test (ICT)
(C) Flying probe test (D) X-Ray inspection

Q88. डीएफएम-अनुरूप डिज़ाइनों में सिल्कस्क्रीन को पैड के साथ ओवरलैप क्यों नहीं करना चाहिए?

(A) यह ट्रेस के बीच शॉर्ट सर्किट बनाता है
(B) यह सोल्डर जॉइंट की सुदृढ़ता को कम करता है
(C) यह इम्पेडेंस मिसमैच का कारण बनता है
(D) यह सोल्डर पेस्ट स्टेंसिल के क्लॉगिंग और सोल्डरेबिलिटी संबंधी समस्याओं को रोकता है

Why should silkscreen not overlap with pads in DFM-compliant designs?

(A) It creates shorts between traces
(B) It reduces solder joint strength
(C) It causes impedance mismatch
(D) It prevents solder paste stencil clogging and solderability issues

Q89. आधुनिक पीसीबी में फाइन-पिच बीजीए (बीजीए) के साथ डीएफटी (डीएफटी) अधिक चुनौतीपूर्ण क्यों है?

(A) विद्युत जांच के लिए आंतरिक सोल्डर जोड़ों की दुर्गमता
(B) सिल्कस्क्रीन संदर्भ डिज़ाइनरों का अभाव
(C) सोल्डर मास्क आसंजन संबंधी बढ़ी हुई समस्याएँ
(D) सभी विकल्प

Why is DFT more challenging in modern PCBs with fine-pitch BGAs?

(A) Inaccessibility of inner solder joints for electrical probing
(B) Lack of silkscreen reference designators
(C) Increased solder mask adhesion issues
(D) All of the options

Q90. डीएफए-अनुरूप पीसीबी डिज़ाइनों में फ़िडुशियल चिह्नों को क्यों शामिल किया जाना चाहिए?

(A) इन-सर्किट परीक्षण बिंदु प्रदान करने के लिए
(B) सोल्डर और पेस्ट की मोटाई में भिन्नता को कम करने के लिए
(C) ईएमआई विकिरण को कम करने के लिए
(D) असेंबली के दौरान स्वचालित पिक-एंड-प्लेस मशीनों को संरेखित करने के लिए

Why should fiducial marks be included in DFA-compliant PCB designs?

(A) To provide in-circuit test points
(B) To reduce solder, paste thickness variation
(C) To reduce EMI radiation
(D) To align automated pick-and-place machines during assembly

Q91. समतलता और कम क्षति के कारण उच्च-आवृत्ति आरएफ पीसीबी के लिए कौन सी सर्फेस फ़िनिश सबसे उपयुक्त है?

(A) इलेक्ट्रोलेस निकल इमर्शन गोल्ड (इएनआइजी)
(B) हॉट एयर सोल्डर लेवलिंग (एचएएसएल)
(C) इमर्शन टिन
(D) ऑर्गेनिक सोल्डरेबिलिटी प्रिजर्वेटिव (ओएसपी)

Which surface finish is most suitable for high-frequency RF PCBs due to flatness and low loss?

(A) Electroless Nickel Immersion Gold (ENIG)
(B) Hot Air Solder Leveling (HASL)
(C) Immersion Tin
(D) Organic Solderability Preservative (OSP)

Q92. कौन सी विनिर्माण सीमा यांत्रिक ड्रिलिंग को एचडीआइ माइक्रोवियास (<0.2 मिमी) के लिए अनुपयुक्त बनाती है?

(A) परावैद्युत विसंयोजन
(B) खराब ताम्र लेपन आसंजन
(C) उच्च ड्रिल बिट घिसाव और कम पहलू अनुपात क्षमता
(D) अत्यधिक ड्रिल भटकाव (गलत पंजीकरण)

Which manufacturing limitation makes mechanical drilling unsuitable for HDI microvias (<0.2 mm)?

(A) Dielectric delamination
(B) Poor copper plating adhesion
(C) High drill bit wear and low aspect ratio capability
(D) Excessive drill wander (misregistration)

Q93. कौन सा पीसीबी डेटा प्रारूप स्टैक-अप, नेटलिस्ट, सामग्री और परीक्षण डेटा सहित सबसे व्यापक विनिर्माण जानकारी प्रदान करता है?

(A) एक्सेलॉन ड्रिल फ़ाइलें (B) ओडीबी++
(C) डीएक्सएफ (D) गेरबर

Which PCB data format provides the most comprehensive manufacturing information, including stack-up, netlist, materials, and test data?

(A) Excellon drill files (B) ODB++
(C) DXF (D) Gerber

Q94. गेरबर फ़ॉर्मेट की सबसे बड़ी सीमा है_____________I

(A) केवल 2डी ग्राफ़िक्स, कोई मूल नेटलिस्ट या स्टैक-अप जानकारी नहीं
(B) बहु-परत पीसीबी के लिए समर्थन का अभाव
(C) सोल्डर मास्क डेटा के साथ असंगति
(D) एक्सएमएल स्कीमा की आवश्यकता

The biggest limitation of the Gerber format is:

(A) Only 2D graphics, no native netlist or stack-up information
(B) Lack of support for multi-layer PCBs
(C) Incompatibility with solder mask data
(D) Requirement of XML schemas

Q95. पीसीबी ड्रिलिंग में, माइक्रोवियास के लिए मैकेनिकल ड्रिलिंग की तुलना में लेज़र ड्रिलिंग को क्यों प्राथमिकता दी जाती है?

(A) वाया प्लेटिंग चरण का उन्मूलन
(B) तांबे की फॉइल को तेज़ी से हटाना
(C) उच्च परिशुद्धता के साथ <0.2 मिमी विआस बनाने की क्षमता
(D) लैमिनेट पर कम तापीय तनाव

In PCB drilling, why is laser drilling preferred over mechanical drilling for microvias?

(A) Elimination of via plating step
(B) Faster removal of copper foil
(C) Ability to create vias <0.2 mm with high precision
(D) Lower thermal stress on laminates

Q96. बीजीए (बॉल ग्रिड ऐरे) पैकेजों के लिए, कौन सी निरीक्षण विधि सबसे विश्वसनीय है?

(A) एक्यूआइ (स्वचालित ऑप्टिकल निरीक्षण)
(B) आइसीटी (इन-सर्किट परीक्षण)
(C) थर्मल शॉक परीक्षण
(D) एक्स-रे निरीक्षण

For BGA (Ball Grid Array) packages, which inspection method is most reliable?

(A) AOI (Automated Optical Inspection)
(B) ICT (In-Circuit Test)
(C) Thermal shock test
(D) X-Ray inspection

Q97. 0201 प्रतिरोधकों में टॉम्बस्टोनिंग का कारण प्रायः ______ होता है।

(A) रिफ्लो के दौरान पैडों का असमान तापन
(B) दोनों पैडों पर सोल्डर पेस्ट की अधिक मात्रा
(C) प्रतिरोधक के नीचे वाया-इन-पैड
(D) गलत इएनआइजी प्लेटिंग मोटाई

Tombstoning in 0201 resistors is most often caused by:

(A) Unequal heating of pads during reflow
(B) Excess solder paste volume on both pads
(C) Via-in-pad under the resistor
(D) Incorrect ENIG plating thickness

Q98. एक दो तरफा रिफ्लो असेंबली में, दूसरे पक्ष को संसाधित करते समय मुख्य जोखिम क्या है?

(A) अतिरिक्त सोल्डर मास्क का सूखना
(B) पहले पक्ष के घटकों का गिरना
(C) पहले पक्ष के जोड़ों का ऑक्सीकरण
(D) विआस का गलत संरेखण

In a double-sided reflow assembly, what is the major risk when processing the second side?

(A) Excess solder mask curing
(B) Components on the first side falling off
(C) Oxidation of first-side joints
(D) Misalignment of vias

Q99. एसएमटी असेंबली के दौरान, सोल्डर पेस्ट के गलत संरेखण का सबसे आम कारण क्या है?

(A) अपर्याप्त एचएएसएल फ़िनिश
(B) रिफ़्लो में अपर्याप्त सोक टाइम
(C) अनुचित स्टेंसिल संरेखण या बोर्ड वॉरपेज
(D) तांबे की कम मोटाई

During SMT assembly, what is the most common cause of solder paste misalignment?

(A) Inadequate HASL finish
(B) Insufficient soak time in reflow
(C) Improper stencil alignment or board warpage
(D) Low copper thickness

Q100. उच्च-विश्वसनीयता वाली असेंबलियों (जैसे, एयरोस्पेस, चिकित्सा) में, कन्फ़ॉर्मल कोटिंग मुख्य रूप से __________ के लिए लगाई जाती है।

(A) इएमआइ विकिरण को कम करने
(B) सोल्डर जोड़ की मज़बूती में सुधार करने
(C) पीसीबी का परावैद्युत स्थिरांक बढ़ाने
(D) नमी, धूल और जंग से सुरक्षा प्रदान करने

In high-reliability assemblies (e.g., aerospace, medical), conformal coating is applied primarily to:

(A) Reduce EMI radiation
(B) Improve solder joint strength
(C) Increase dielectric constant of PCB
(D) Protect against moisture, dust, and corrosion

oOo